

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-8619

(P2003-8619A)

(43) 公開日 平成15年1月10日 (2003.1.10)

(51) Int.Cl.⁷

H 0 4 L 12/56

識別記号

F I

H 0 4 L 12/56

テーマコード(参考)

F 5 K 0 3 0

BEST AVAILABLE COPY

審査請求 未請求 請求項の数13 O L (全 13 頁)

(21) 出願番号 特願2001-184227 (P2001-184227)

(22) 出願日 平成13年6月19日 (2001.6.19)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 森脇 紀彦

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 豊田 英弘

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100075096

弁理士 作田 康夫

Fターム(参考) 5K030 HA08 KX09 KX18

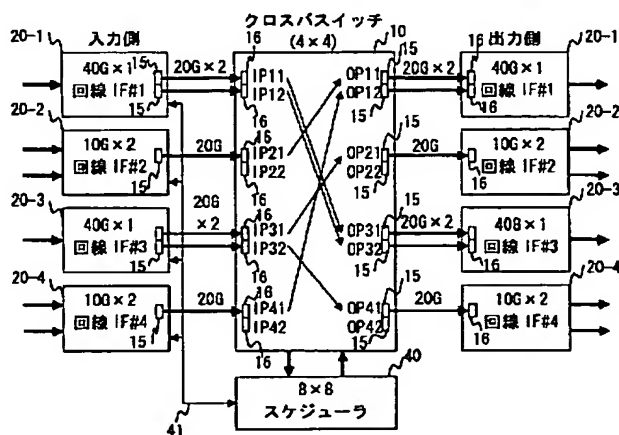
(54) 【発明の名称】 パケット通信装置

(57) 【要約】

【課題】 異速度回線インタフェースを効率よく収容できるパケット通信装置を提供する。

【解決手段】 本発明のパケット通信は、第1の回線インタフェースと、前記第1の回線インタフェースが収容する回線よりも低速な回線を収容する第2の回線インタフェースと、クロスバスイッチと、前記第1の回線インタフェース及び前記第2の回線インタフェースから、周期的に、パケット出力要求を受信し、その要求に基づき、前記第1の回線インタフェース及び前記第2の回線インタフェースに、前記クロスバスイッチに対するパケットの送出許可を送信するスケジューラとを有し、前記第1の回線インタフェースと前記クロスバスイッチとの間のリンクの容量を、前記第2の回線インタフェースと前記クロスバスイッチとの間のリンクの容量よりも大きくする。

図 1



【特許請求の範囲】

【請求項 1】パケット通信装置であって、第 1 の回線インタフェースと、前記第 2 の回線インタフェースが収容する回線よりも低速な回線を収容する第 2 の回線インタフェースと、クロスバスイッチと、前記第 1 の回線インタフェース及び前記第 2 の回線インタフェースから、周期的に、パケット出力要求を受信し、その要求に基づき、前記第 1 の回線インタフェース及び前記第 2 の回線インタフェースに、前記クロスバスイッチに対するパケットの送出許可を送信するスケジューラとを有し、前記第 1 の回線インタフェースと前記クロスバスイッチとの間のリンクの容量は、前記第 2 の回線インタフェースと前記クロスバスイッチとの間のリンクの容量よりも大きいパケット通信装置。

【請求項 2】請求項 1 に記載のパケット通信装置であって、前記第 1 の回線インタフェースと前記クロスバスイッチとの間のリンク数は、前記第 2 の回線インタフェースと前記クロスバスイッチとの間のリンク数よりも多いパケット通信装置。

【請求項 3】請求項 1 又は請求項 2 の何れかに記載のパケット通信装置であって、前記スケジューラは、同一周期において、前記第 1 の回線インタフェースから前記第 2 の回線インタフェースよりも多くのパケット出力要求を受信するパケット通信装置。

【請求項 4】請求項 1 又は請求項 2 の何れかに記載のパケット通信装置であって、前記スケジューラは、同一周期において、前記第 1 の回線インタフェースから受信するパケット出力要求数の最大値と、前記第 2 の回線インタフェースから受信するパケット出力要求数と最大値との比は、前記第 1 の回線インタフェースと前記クロスバスイッチとの間のリンクの容量と、前記第 2 の回線インタフェースと前記クロスバスイッチとの間のリンクの容量との比と等しいパケット通信装置。

【請求項 5】請求項 2 に記載のパケット通信装置であって、前記スケジューラは、同一周期において、前記第 1 の回線インタフェースから、最大で、前記第 1 の回線インタフェースと前記クロスバスイッチとの間のリンク数と等しい数のパケット送出要求を受信し、前記第 2 の回線インタフェースから、最大で、前記第 2 の回線インタフェースと前記クロスバスイッチとの間のリンク数と等しい数のパケット送出要求を受信するパケット通信装置。

【請求項 6】請求項 1 又は請求項 2 の何れかに記載のパケット通信装置であって、前記スケジューラは、前記第 1 の回線インタフェースに前記第 2 の回線インタフェースよりも多くのパケットの送出許可を送信するパケット通信装置。

【請求項 7】請求項 2 に記載のパケット通信装置であって、前記スケジューラは、前記第 1 の回線インタフェースに、最大で、前記第 1 の回線インタフェースと前記ク

ロスバスイッチとの間のリンク数と等しいパケット数の送出許可を送信し、前記第 2 の回線インタフェースに、最大で、前記第 2 の回線インタフェースと前記クロスバスイッチとの間のリンク数と等しいパケット数の送出許可を送信するパケット通信装置。

【請求項 8】パケット通信装置であって、複数の第 1 の回線インタフェースと、それぞれが、前記第 1 の回線インタフェースの n 倍の速度を持つ複数の第 2 の回線インタフェースと、前記複数の第 1 の回線インタフェースと前記複数の第 2 の回線インタフェースと接続されるクロスバスイッチと、前記複数の第 1 の回線インタフェース及び前記複数の第 2 の回線インタフェースから、周期的に、パケット出力要求を受信し、その要求に基づき、前記クロスバスイッチの制御を行うとともに、周期的に、前記複数の第 1 の回線インタフェース及び前記複数の第 2 の回線インタフェースに、前記クロスバスイッチに対するパケットの送出許可を送信するスケジューラとを有し、前記複数の第 2 の回線インタフェースの各回線インタフェースは、第 1 の回線インタフェースと前記クロスバスイッチとを接続するリンク数の n 倍の数のリンクにより、前記クロスバスイッチと接続され、前記スケジューラは、第 1 の回線インタフェースの入力側が 1 個の第 1 の回線インタフェースの出力側又は 1 個の前記第 2 の回線インタフェースの出力側と接続され、第 2 の回線インタフェースの入力側は最大 n 個の第 1 の回線インタフェースの出力側又は 1 個の第 2 の回線インタフェースの出力側と接続されるようにクロスバスイッチを制御するパケット通信装置。

【請求項 9】請求項 8 に記載のパケット通信装置であって、前記スケジューラは、同一周期において、最大で、第 1 の回線インタフェースに前記クロスバスイッチに対する送出を許可する最大のパケット数の n 倍の数のパケットの送出を第 2 の回線インタフェースに許可するパケット通信装置。

【請求項 10】請求項 8 又は請求項 9 の何れかに記載のパケット通信装置であって、前記複数の第 1 の回線インタフェースの各回線インタフェースの入力側及び出力側は、それぞれ前記クロスバスイッチと 1 本のリンクで接続され、前記複数の第 2 の回線インタフェースの各回線インタフェースの入力側及び出力側は、それぞれ前記クロスバスイッチと n 本のリンクで接続されるパケット通信装置。

【請求項 11】請求項 10 に記載のパケット通信装置であって、前記複数の第 1 の回線インタフェースの各回線インタフェース入力側は、前記 1 本のリンクと接続される 1 個の送信ドライバを有し、前記複数の第 1 の回線インタフェースの各回線インタフェース出力側は、前記 1 本のリンクと接続される 1 個のレシーバを有し、前記複数の第 2 の回線インタフェースの各回線インタフェース入力側は、前記 n 本のリンクと接続される n 個の送信ド

ライバを有し、前記複数の第2の回線インタフェースの各回線インタフェース出力側は、前記n本のリンクと接続されるn個のレシーバを有するパケット通信装置。

【請求項12】パケット通信装置であって、複数の第1の回線インタフェースと、それぞれが、前記第1の回線インタフェースのn倍の速度を持つ複数の第2の回線インタフェースと、前記複数の第1の回線インタフェースと前記複数の第2の回線インタフェースと接続されるクロスバスイッチと、前記複数の第1の回線インタフェース及び前記複数の第2の回線インタフェースから、周期的に、パケット出力要求を受信し、その要求に基づき、前記クロスバスイッチの制御を行うとともに、周期的に、前記複数の第1の回線インタフェース及び前記複数の第2の回線インタフェースに、前記クロスバスイッチに対するパケットの送出許可を送信するスケジューラとを有し、前記複数の第1の回線インタフェースの各回線インタフェースは、速度Vのリンク速度で前記クロスバスイッチと接続され、前記複数の第2の回線インタフェースの各回線インタフェースは、速度 $n \times V$ のリンク速度で前記クロスバスイッチと接続され、前記スケジューラは、第1の回線インタフェースの入力側が1個の第1の回線インタフェースの出力側又は1個の前記第2の回線インタフェースの出力側と接続され、第2の回線インタフェースの入力側は最大n個の第1の回線インタフェースの出力側又は1個の第2の回線インタフェースの出力側と接続されるようにクロスバスイッチを制御するパケット通信装置。

【請求項13】請求項12に記載のパケット通信装置であって、前記スケジューラは、同一周期において、最大で、第1の回線インタフェースに前記クロスバスイッチに対する送出を許可する最大のパケット数のn倍の数のパケットの送出を第2の回線インタフェースに許可するパケット通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、Internet Protocol (IP) などの可変長パケットや非同期転送モード（以下ATMという。）の固定長パケット（一般的にセルと呼ばれる）をスイッチングするパケットデータ通信装置に関する。

【0002】

【従来の技術】近年、インターネットをはじめとするデータトラヒックは急激に増加している。また、従来専用線を使用して行なわれていたトランザクション処理など、高品質で、高信頼のサービスをインターネットで行おうとする動きも見られている。これに対応するため、伝送路だけでなく、パケットデータ通信装置の大容量化、高速化、高信頼化が必要とされる。

【0003】パケットデータ通信装置のスイッチ方式としては大容量化の観点から入出力バッファ型スイッチが

適していることが知られている。入出力バッファ型スイッチを用いるパケットスイッチを開示するものとしては、“The Tiny Tera: A PacketSwitch Core”, Nick McKeown, Martin Izzard, Adisak Mekkittikul, William Ellersick, and Mark Horowitz, IEEE MICRO, January/February 1997（以下「文献1」という。）がある。文献1が開示するスイッチは、概ね図26に示すようなスイッチであると考えられる。n本の入出力ポートを有するクロスバスイッチ706の前段には、n個のポートカード701が設けられ、ポートカード701ごとに、入力バッファ703が配置される。入力回線700から入力された可変長パケットは固定長パケット（セル）単位に分割される。入力バッファ703にバッファリングされたセルは、スケジューラ705にて入出力ポート間の接続スケジューリングを行なった後に、各ポートカード701より出力されて、クロスバスイッチ706にてスイッチングされる。入出力ポート間の接続は1セル単位で変更される。特に、この構成においては、各入力バッファ703は出力方路別のキューバッファ（Virtual Output Queue (VOQ)）に分割されていて、スケジューラ705により出力指示された任意のキューバッファからの読み出しを可能とすることで、Head Of Line Blocking (HOL) によるスループットの低下を防止している。クロスバスイッチ706は、セル704を、例えば複数ビット単位にスライスして、複数のスイッチ面で並列処理する。

【0004】また、従来のパケットデータ通信装置においては様々な種類の回線速度がサポート可能となっている。複数種類の回線をサポートする一般的なパケットデータ通信装置の主信号系構成を図3に示す。図3においては、クロスバスイッチ750は、2.4Gbps単位の複数の入力ポートと複数の出力ポートを有しており、入出力ポート間で $n \times n$ のスイッチングを行う。クロスバスイッチ750と回線インタフェースとの物理的な接続は、2.4Gbpsドライバ（送信部）730と、2.4Gbpsレシーバ（受信部）731により行われる。本例においては、2.4Gbps回線インタフェース721のみならず、様々な種類の低速回線をサポートする例を示す。パケットデータ通信装置の回線収容効率を良くするため、回線インタフェースでは、低速回線を複数ポート分サポートするのが一般的である。図3においては、回線インタフェース722では600Mbps \times 4ポート、回線インタフェース723では150Mbps \times 16ポート、回線インタフェース724ではギガビットイーサ（1Gbps） \times 2ポートを収容している例を示している。このように、低速回線については1つの回線インタフェース内に複数のポートを出来るだけ多く収容して、スイッチ可能なリソースを無駄にしないような構成を取る。

【0005】

【発明が解決しようとする課題】今後、トラフィックの増加に伴い、さらなる高速回線をサポートする大容量スイッチが必要になると想定されるが、ネットワークのアクセス部分との接続、及び従来装置との接続を考えると、従来の低速回線をもサポートする必要がある。

【0006】図4に、スイッチ構成の一例を示す。クロスバスイッチ850は、40Gbps単位の複数の入力ポートと複数の出力ポートを有しており、入出力ポート間で $n \times n$ のスイッチングを行う。クロスバスイッチ850と回線インタフェースとの物理的な接続は、40Gbpsドライバ（送信部）830と、40Gbpsレシーバ（受信部）831により行われる。特に、数100Gbpsから数Tbpsクラスの大容量スイッチにおいては、クロスバスイッチ850と回線インタフェースとの物理的な接続が光インタコネクト等の光部品により行われる場合もある。図3と同様な考え方で、40Gbps回線インタフェース821のみならず、様々な種類の低速回線がサポートされる。クロスバスイッチ850のスイッチング単位としては40Gbpsであるが、例えば、2.4Gbps回線16本や、ギガビットイーサ回線を40本サポートすることは、搭載部品数および回線インタフェースの実装面積の都合上、分割損が生じて不可能となり、2.4Gbps回線8本（823）や、ギガビットイーサ回線を8本（824）程度に制限されて、回線インタフェースの容量密度が低くなる可能性がある。この場合、密度の低い回線インタフェースについては、クロスバスイッチ850との接続のために、40Gbps分のドライバ830、レシーバ831、もしくは光インタコネクトモジュールを搭載するのは冗長となるため、実装面積的にも、部品コストの観点からも望ましくない。この問題は、図4に例示したドライバ、レシーバの速度、収容する回線速度に依存するものではなく、高速回線と低速回線とを混在してスイッチに収容する場合に一般的に生じる問題である。

【0007】また、文献1に示されているような従来の入出力バッファ型クロスバスイッチでは、入力ポートと出力ポートとの一対一接続を基本としている。つまり、複数の低速回線インタフェースと高速回線インタフェースが混在した状態で、これをクロスバスイッチで接続することを考えると、ある高速回線に入力されたトラフィックを複数の低速回線に同時に出力する、また、複数の低速回線に入力されたトラフィックをまとめて、一つの高速回線に同時に出力するような接続形態が不可能であるため、スイッチの使用効率が著しく低下する場合がある。言い換えると、従来のクロスバスイッチにおいては、入出力ポート間の一対複数接続もしくは複数対一接続に対応していないため、低速回線インタフェースと高速回線インタフェースが混在した状態では、所望の出力ポートが空いているにもかかわらずデータを送出できない“ブ

ロッキング”現象が発生する。

【0008】

【課題を解決するための手段】本発明の一側面は、各回線インタフェースとクロスバスイッチ間との接続ポート数を、各回線インタフェースに収容される回線の速度に応じて設定する。本発明の一実施例においては、低速回線インタフェース部と、クロスバスイッチとの入出力接続は1ポートを使用して接続し、高速回線インタフェース部と、クロスバスイッチとの入出力接続は n ポートを使用して接続する。クロスバスイッチの入出力ポート間接続を決定するスケジューラは、低速回線インタフェースからは1つの送出要求リクエストを受信し、高速回線インタフェースからはポート毎に1個、つまり n 個の送出要求リクエストを受信する。スケジューラは全てのポートから受信したリクエストをもとに入出力接続関係を決定し、ポート単位に送出可否を通知する。低速回線インタフェースでは、送出が認められた場合、通知された宛先出力に該当するパケットを送出する。高速回線インタフェースについては、 n 個のポートそれぞれにおいて、送出が認められた宛先出力に該当するパケットを送出する。ある高速回線インタフェースにおいて、複数の送出許可が1つの宛先出力に対して認められた場合には、宛先出力に該当するキューバッファから複数のパケットを連続して読み出しを行う。また、複数の送出許可が複数の宛先出力に対して認められた場合には、宛先出力に該当するキューバッファから、順次パケットの読み出しを行う。

【0009】また、本発明の他の側面は、スケジューラが、低速回線インタフェース部の入力側が1個の低速回線インタフェース部の出力側又は1個の高速回線インタフェース部の出力側と接続され、高速回線インタフェース部の入力側が最大 n 個の第1の回線インタフェースの出力側又は1個の第2の回線インタフェースの出力側と接続されるようにクロスバスイッチを制御する。

【0010】

【発明の実施の形態】本発明によるパケット通信装置の実施例を説明する。

【0011】図2は、本発明のパケット通信装置の一実施例を示す。このパケット通信装置は、 $n \times n$ の交換を行うクロスバスイッチ10、クロスバスイッチ10に接続される回線インタフェース20-1～20- n 、およびスケジューラ40とを有する。また、クロスバスイッチ10、回線インタフェース20、及びスケジューラ40は、制御部50により制御バス51を通じて、初期設定、統計情報収集、障害情報収集などの制御が行われる。

【0012】回線インタフェース20について説明する。回線インタフェース20の入力側は、入力処理部21、VOQ（Virtual Output Queue）23、およびVOQ制御部22を有する。回線イン

タフェース20の出力側は、VIQ (Virtual Input Queue) 33, VIQ制御部31, および出力処理部32を有する。

【0013】図14は、入力処理部21の一実施例を示す。パケットデータは入力回線40を通じて装置に入力されると、光・電気信号変換部(O/E) 21-1にて、電気信号に変換される。その後、PHY 21-2にてSONET (synchronous optical network) フレームなどの物理レイヤ処理が行なわれる。次に、L2処理部21-3にてパケットの抽出、エラーチェックなどのレイヤ2処理が行なわれる。その後、検索エンジン21-4にて、宛先IPアドレスに基づき、出力ポート検索、品質クラス検索などの、レイヤ3処理が行なわれる。検索処理は、具体的には、検索エンジン21-4に接続されたL3TABLE 21-5を使用する。L3TABLE 21-5には、予め宛先IPアドレスと、出力ポート、品質クラス、次の転送先のIPアドレスであるネクストホップIPアドレスとの対応関係がテーブル形式で格納されている。検索結果はパケットのヘッダ部分に付与される。回線インタフェース20の出力側機能については後述する。

【0014】以下では、クロスバスイッチに対して、40Gbps 1回線を収容する回線インタフェースカード(入出力40Gbps:以下40Gbps回線インタフェースと呼ぶ) 2枚と、10Gbps×2回線(入出力20Gbps:以下20Gbps回線インタフェースと呼ぶ)を収容する回線インタフェース2枚が混在して搭載されている場合を例にして説明を行う。クロスバスイッチは搭載される4枚の回線インタフェースに対して入出力ポートの接続を行い、入力4×出力4のスイッチングを行う。なお、このパケット通信装置の回線スロットはスロットフリーを前提としており、40Gbps回線インタフェースと、20Gbps回線インタフェースのどちらも搭載できる構成とする。

【0015】図1は、4×4スイッチングを行うパケット通信装置の一実施例を示す。このパケット通信装置は、4×4の交換を行うクロスバスイッチ10、クロスバスイッチ10に接続される回線インタフェース20-1~20-4、およびスケジューラ40とを有する。本実施例では、40Gbps×1ポートを収容する回線インタフェース20-1、20-3、および、10Gbps×2ポートを収容する回線インタフェース20-2、20-4が搭載されている。回線インタフェース20-1、20-3の入力側には20Gの送信ドライバ15がそれぞれ2個ずつ搭載されており、回線インタフェース20-1、20-3の出力側には20Gの受信ドライバ16がそれぞれ2個ずつ搭載されている。また、回線インタフェース20-2、20-4の入力側には20Gの送信ドライバ15がそれぞれ1個搭載されており、回線インタフェース20-2、20-4の出力側には20G

の受信ドライバ16がそれぞれ1個搭載されている。また、クロスバスイッチ10については回線インタフェーススロットに対して、2個の受信ドライバ16と送信ドライバ15がそれぞれ、スロットの受信側と送信側に配備されている。また、クロスバスイッチは、各入出力ドライバに対応して、回線インタフェーススロット当たり2つの物理入出力ポート(例えば、回線インタフェース20-1に相当する入力ポートはIP11, IP12, 出力ポートはOP11, OP12)を持つ。40Gbps回線インタフェース20-1、20-3とクロスバスイッチ10は2本の20Gbpsリンクで接続されており、また、20Gbps回線インタフェース20-2、20-4とクロスバスイッチ10は1本の20Gbpsリンクで接続されている。スケジューラ40は、一定周期毎に制御線41を通じて全ての回線インタフェース20-1~20-4のパケット出力要求情報を収集して、これらをもとに回線インタフェース間の接続関係を決定し、回線インタフェース20-1~20-4にパケットの送出許可を出す。

【0016】回線インタフェース間の接続関係を決定するためのスケジューラ40の一実施例について説明する。各出力回線インタフェースに対して、複数のパケット出力要求が衝突した場合には、スケジューラ40は、巡回選択方式(ラウンドロビン)により接続すべき入力回線インタフェースを選択する。出力要求が優先度付けがされている場合には、優先度の高い出力要求を優先するように入出力回線インタフェース間の接続関係が決定され、優先度が重なった場合には、同一優先度の出力要求に対して巡回選択が行われるようにすればよい。以上の選択を出力回線インタフェース毎に順次行うことで、入力インタフェースと出力インタフェースとの接続関係が決定できる。

【0017】図1では図示されていないが、各回線インタフェースの入力側は、図2で示したように、入力処理部21, VOQ制御部22, 及びVOQ23を有しており、その出力側は、VIQ制御部31, 出力処理部32, 及びVIQ33を有している。

【0018】VOQ制御部22の詳細、およびVOQ制御部とスケジューラ40との間の送受信フォーマットについて図5に示す。VOQ制御部22は、ヘッダ解析部221, バッファ管理部222, 及び送出要求作成部223とを有する。ヘッダ解析部221では、入力されたパケットのヘッダを解析して、これをバッファ管理部222に通知する。バッファ管理部222ではヘッダ解析部221から受け取った情報を元に、パケットをVOQの所望のキューバッファ(出力回線インタフェースに対応)にライトするようにWA(Write Address)をVOQ23に送出する。また、バッファ管理部222ではVOQ23のパケット格納情報を送出要求作成部223に通知して、送出要求をスケジューラ40に送出す

る。スケジューラ40は各回線インタフェーススロットに対して2つの送出要求401、402を受信可能な構成としてある。送出要求401、402それぞれには、送出要求有効ビット(V)411、412が付与されており、本ビットにより要求の有効/無効を判定する。具体的には図16に示すように40Gbps回線インタフェースについては、送出要求有効ビット(V)411、412の双方を有効("1")にし、また、20Gbps回線インタフェースについては、図17に示すように、送出要求有効ビット(V)411、412の片方のみ(本例では411)を有効("1")に設定しておく。つまり、スケジューラ40は、40Gbps回線インタフェースからは送出要求を2つ受け取ることができる。なお、40Gbps回線インタフェースの送出要求作成部では、VOQ23内で送出可能なパケットが2個以上蓄積されている出力方路のキューバッファについては、送出要求401、402の双方共に"1"を表示し(本例では出力#1)、送出可能なパケットが1個のみ蓄積されている出力方路のキューバッファについては、送出要求401のみに"1"を表示する(本例では出力#4)。図1の例においては、スケジューラ40はクロスバスイッチ40の物理ポートに対応した最大6個の送出要求を受け取る。スケジューラ40はこれら6個の送出要求に対して、クロスバスイッチ10の対応する6個の入出力ポート間でスケジューリングを行い、接続関係を決定する。接続関係が決定するとスケジューラ40は、送出許可を各回線インタフェース20のVOQ制御部22に対して返送する。スケジューラ40は各回線インタフェーススロットに対して2つの送出許可501、502を送信可能な構成としてある。送出許可501、502それぞれには、送出許可有効ビット(V)511、512が付与されており、本ビットにより送出許可の有効/無効を判定する。具体的には図18に示すように40Gbps回線インタフェースについては、送出許可有効ビット(V)511、512の双方を有効にし、また、20Gbps回線インタフェースについては、図19に示すように送出許可有効ビット(V)511、512の片方のみ(本例では511)を有効に設定しておく。つまり、スケジューラ40は、40Gbps回線インタフェースに対しては送出許可を最大2つ(送出許可501、502のそれぞれ1つずつ)送信し、20Gbps回線インタフェースに対しては送出許可を1つのみ送信することができる。VOQ制御部22内のバッファ管理部222においては、1つもしくは2つの送出許可を受け取ると、これに対応したVOQ23から1つもしくは2つのパケットの読み出しが行なわれるようにRA(Read Address)をVOQ23に送出する。

【0019】以上の構成において、20Gbps回線インタフェースと、40Gbps回線インタフェース間の

接続方法として、(1)1つの40Gbps回線インタフェース入力1つの40Gbps回線インタフェース出力に接続(2)2つの20Gbps回線インタフェース入力1つの40Gbps回線インタフェース出力に接続(3)1つの40Gbps回線インタフェース入力2つの20Gbps回線インタフェース出力に接続、の3つの例について順に説明する。

【0020】まず、40Gbps回線インタフェース20-1の入力が40Gbps回線インタフェース20-3の出力に接続される場合の回線インタフェース20-1の動作について図6を用いて説明する。スケジューラ40から制御線41を通じて、出力側回線インタフェース20-3に対しての出力許可を2個受け取ると、VOQ制御部22はVOQ23にRAを2つ与えて、回線インタフェース20-3に相当するキューバッファ233からパケットを2つ(A1、A2)シーケンシャルに読み出す。論理的には出力回線インタフェース20-1~20-4にそれぞれ対応したキューバッファ231~234からキューバッファ233をセクタ230にて選択してパケットを読み出すことに相当する。読み出された2つのパケット(A1、A2)は分離部(DMX)150にて時間分離されて、それぞれ20Gドライバ(20G-DRV)15を通じてクロスバスイッチの対応する入力ポートIP11、IP12に対して出力される。これら2つのパケット(A1、A2)はクロスバスイッチ10にて所望の出力ポートOP31、OP32を通じて、回線インタフェース20-3に対して出力される。回線インタフェース20-3出力側の動作について図7に示す。2つのパケット(A1、A2)は、それぞれ20Gレシーバ(20G-DRV)16を通じて回線インタフェース20-3に入力される。その後、多重部(MUX)160にて時間多重され、VIQ内の該当する入力インタフェースに相当するキューバッファ(この場合は回線インタフェース20-1から入力されたパケットであるため、これに対応するキューバッファ331)に格納されるように、VIQ制御部33により制御される。VIQ33で元の変長パケットに組み立てられた後、パケットは読み出されて出力処理部32へ送出される。

【0021】ここで、出力処理部32の構成を図15を用いて説明する。入力された変長パケットはL2処理部32-3にてレイヤ2の処理が行なわれる。例えば、出力回線がイーサネットの場合には、次の転送先のIPアドレスであるネクストホップIPアドレスから、接続先ルータのレイヤ2アドレス(MACアドレス)を検索して付与する処理を行なう。ネクストホップIPアドレスと、接続先ルータのレイヤ2アドレスの対応は、L2TABLE32-5に格納されている。レイヤ2処理の終了後、変長パケットはPHY32-2にて、例えばSONETフレームマッピング処理が行なわれ、そ

の後電気・光信号変換部（E/O）32-1にて、光信号に変換された後、出力回線50へ送出される。

【0022】次に2つの20Gbps回線インタフェース20-2および20-4の入力が1つの40Gbps回線インタフェース20-1の出力に接続される場合の回線インタフェース20-2の動作について図8を用いて説明する。スケジューラ40から制御線41を通じて、出力側回線インタフェース20-1に対しての出力許可を1個受け取ると、VOQ制御部22はVOQ23にRAを1つ与えて、回線インタフェース20-1に相当するキューバッファ231からパケット（B1）を1つ読み出す。論理的にはキューバッファ231~234からキューバッファ231をセレクト230にて選択してパケット（B1）を読み出すことに相当する。読み出されたパケット（B1）は20Gドライバ（20G-DRV）15を通じてクロスバスイッチ10の対応する入力ポートIP21に対して出力される。ここで、クロスバスイッチ10の入力ポートIP22に対しては何も接続されていない。パケット（B1）はクロスバスイッチ10にて所望の出力ポートOP11を通じて、回線インタフェース20-1に対して出力される。また、回線インタフェース20-4の動作について図9に示すが、これは図8で説明したのと同様な動作を行うので詳細説明を省略する。回線インタフェース20-4のキューバッファ231から読み出されたパケット（C1）はクロスバスイッチ10にて所望の出力ポートOP12を通じて、回線インタフェース20-1に対して出力される。回線インタフェース20-1出力側の動作について図10に示す。2つのパケット（B1、C1）は、それぞれ20Gレシーバ（20G-DRV）16を通じて回線インタフェース20-1に入力される。その後、多重部（MUX）160にて時間多重され、VIQ内の該当する入力インタフェースに相当するキューバッファ（パケットB1はキューバッファ332、パケットC1はキューバッファ334）に格納されるように、VIQ制御部33より制御される。最後に、40Gbps回線インタフェース20-3の入力が20Gbps回線インタフェース20-2および20-4の出力に同時に接続される場合の回線インタフェース20-3の動作について図11を用いて説明する。スケジューラ40から制御線41を通じて、出力側回線インタフェース20-2および20-4に対しての出力許可を受け取ると、VOQ制御部22はVOQ23にRAを2つ与えて、回線インタフェース20-2に相当するキューバッファ232からパケット（D1）を、また回線インタフェース20-4に相当するキューバッファ234からパケット（E1）をシークエンシャルに読み出す。読み出された2つのパケット（D1、E1）は分離部（DMX）150にて時間分離されて、それぞれ20Gドライバ（20G-DRV）15を通じてクロスバスイッチの対応する入力ポートIP

31、IP32に対して出力される。パケット（D1）はクロスバスイッチ10にて所望の出力ポートOP21を通じて、回線インタフェース20-2に対して出力される。また、パケット（E1）はクロスバスイッチ10にて所望の出力ポートOP41を通じて、回線インタフェース20-4に対して出力される。クロスバスイッチ10の出力ポートOP22、OP42については何も接続されていない。回線インタフェース20-2出力側の動作について図12に示す。パケット（D1）は、それぞれ20Gレシーバ（20G-DRV）16を通じて回線インタフェース20-2に入力され、VIQ内の該当する入力インタフェースに相当するキューバッファ（この場合はキューバッファ333）に格納されるように、VIQ制御部33より制御される。VIQ33で元の可変長パケットに組み立てられた後、パケットは読み出されて出力処理部32へ送出される。図13に回線インタフェース20-4出力側についての処理を示すが、これは図12と同様であるため説明は省略する。

【0023】本発明を適用した回線インタフェースの実装イメージを次に示す。図24は40Gbps回線インタフェース70の場合である。クロスバスイッチ10と接続するための20GドライバLSI91および20GレシーバLSI92がそれぞれ2個ずつ搭載されており、これらの入出力信号はコネクタ93を通してバックパネル95に接続される。図25は20Gbps回線インタフェース80の場合である。クロスバスイッチ10と接続するための20GドライバLSI91および20GレシーバLSI92がそれぞれ1個ずつ搭載されており、これらの入出力信号はコネクタ93を通してバックパネル95に接続される。本例では、回線インタフェースとクロスバスイッチをバックパネルで接続する例を示したが、特に大容量パケット交換システムでは回線インタフェースとクロスバスイッチ間を電気ではなく光部品を使用して接続する場合も想定される。

【0024】以上に示したように、本実施例によれば、大容量のパケット通信装置を構成する場合において、高速回線を収容した密度の高い回線インタフェースと低速回線を複数収容した密度の低い回線インタフェースが混在する場合、低速回線インタフェースには少ないドライバ・レシーバ（光接続の場合には光部品）を搭載すれば良く、高速回線インタフェースには、多くのドライバ・レシーバ（光接続の場合には光部品）を搭載することが実現可能であるようなコストリニアリティを有する回線インタフェースの実現が可能になる。

【0025】また、複数の低速回線インタフェースと1つの高速回線インタフェース間でのスイッチの入出力ポート間の1対複数接続もしくは複数対1接続が可能となるような、パケット通信装置が提供可能になる。

【0026】以上説明した実施例では、高速回線インタフェースとクロスバスイッチとの間に2本のリンクを張

り、低速回線インタフェースとクロスバスイッチとの間に1本のリンクを張る構成を示したが、高速/低速回線インタフェースに収容される回線の速度に応じて、高速回線インタフェースとクロスバスイッチとの間に n_H 本のリンクを張り、低速回線インタフェースとクロスバスイッチとの間に n_L 本のリンクを張る構成に拡張することも可能である。

【0027】他の実施例として、クロスバスイッチと回線インタフェース間の接続において、回線インタフェースの種別に応じて接続リンクの物理速度を変化させる方法について説明する。まず、回線インタフェースからクロスバスイッチ方向へのパケットの流れについて図20を用いて説明する。40Gbps回線インタフェース200-1には40Gbpsドライバ150が1つ搭載されており、20Gbps回線インタフェース200-2には20Gbpsドライバ15が1つ搭載されている。また、クロスバスイッチ100の受信側にはスロット単位に40Gbpsレシーバ160が1つ搭載されている。クロスバスイッチ100の受信側に搭載される40Gbpsレシーバ160では、40Gbpsのデータおよび20Gbpsのデータのどちらのデータが到着してもデータを受信することが可能な構成としておく。具体的には、20Gbpsデータ受信時には、40Gbpsデータ受信の半分のレートでデータの取り出し処理を行えば良い。クロスバスイッチ100のインタフェーススロットに対して、40Gbps回線インタフェース200-1が搭載される場合には、40Gbpsのデータ(A1, A2)を受信すると、分離回路(DMX)110にてこれを時間分離分離して、A1, A2をそれぞれクロスバスイッチ100内の入力ポートIP11およびIP12に入力する。これに対して、20Gbps回線インタフェース200-2が搭載される場合には、20Gbpsのデータ(C1)を受信すると、遅延回路(DLY)120にてこれをDMX110の処理時間分だけ遅延させて、C1をクロスバスイッチ100内の入力ポートIP21に入力する。入力ポートIP22には何も入力しない。これらの回線インタフェース速度に対してのモード切替は図22に示す構成で実現される。クロスバスイッチ100のスロット毎に、DMX110とDLY120の切替セクタSEL1(101)、SEL2(102)を用意する。具体的には40Gbpsのデータが入力される場合には、データはDMX110にて時間分離されて、入力ポートIP11およびIP12へ入力される。また、20Gbpsのデータが入力される場合には、これがDLY140にて遅延されて、入力ポートIP11のみへ入力される構成とする。なお、回線インタフェースの搭載時に、回線インタフェースボードの容量に応じて異なるレベル線信号105(例えば、40Gbpsは、“1”, 20Gbpsは、“0”)が出力され、これによりSEL1(101)、SEL2(10

2)が設定される。また、SEL1(101)、SEL2(102)の設定はソフトウェアから行う構成にしても良い。回線インタフェース200間のデータ送出要求・送出許可信号のやりとり、スケジューリング方法については、前述の実施例と同様であるため、説明を省略する。

【0028】次に、クロスバスイッチから回線インタフェース方向へのパケットの流れについて図21を用いて説明する。クロスバスイッチ100の送信側には回線インタフェーススロット単位に40Gbpsドライバ150が1つ搭載されている。また、これと接続される40Gbps回線インタフェース200-1には40Gbpsレシーバ160が1つ搭載されており、20Gbps回線インタフェース200-2には20Gbpsレシーバ16が1つ搭載される。クロスバスイッチ100の送信側に搭載される40Gbpsドライバ150では、40Gbpsのデータおよび20Gbpsのデータのどちらの速度のデータの送信を行うことも可能である。具体的には対向するレシーバ16が20Gbps対応の場合には、40Gbpsの半分のレートでデータの送出を行えば良い。クロスバスイッチ100に、40Gbps回線インタフェース200-1が搭載される場合には、クロスバスイッチ100の出力ポートOP11およびOP12から出力されるデータ(A1, A2)を、多重回路(MUX)130にて時間多重し、40Gbpsの多重信号として回線側に送出する。また、20Gbps回線インタフェース200-2が搭載される場合には、出力ポートOP21からのデータ(C1)を受信すると、遅延回路(DLY)140にてこれをMUX130の処理時間分だけ遅延させて、C1を20Gbpsの信号として回線インタフェースに送出する。なお、出力ポートOP21からは何も出力しない。これらの回線インタフェース速度に対してのモード切替は図23に示す構成で実現される。クロスバスイッチ100の各スロット毎に、MUX130とDLY140の切替セクタSEL3(103)を用意する。具体的には40Gbpsのデータが出力される場合には、出力ポートOP11およびOP12から出力されて、MUX130にて時間多重される。また、20Gbpsのデータが出力される場合には、これが入力ポートOP11から出力され、これがDLY140にて遅延される構成としておく。なお切替セクタSEL3(103)については、回線インタフェースの搭載時に、回線インタフェースボードの容量に応じて異なるレベル線信号105(例えば、40Gbpsは“1”, 20Gbpsは“0”)が出力され、これにより設定が実現される構成とする。また、SEL3(103)の設定はソフトウェアから行う構成としても良い。

【0029】このように、本実施例によれば、大容量の packets 通信装置を構成する場合に、高速回線を収容し

た密度の高い回線インタフェースと低速回線を複数収容した密度の低い回線インタフェースが混在する場合、回線インタフェース速度に応じたドライバ・レシーバ（光接続の場合には光部品）を搭載すれば良く、コストリニアリティを有する回線インタフェースの実現が可能になる。また、複数の低速回線インタフェースと1つの高速回線インタフェース間でのスイッチの入出力ポート間の1対複数接続もしくは複数対1接続が可能な、パケット通信装置が提供できる。

【0030】以上説明した実施例によれば、次のような効果が期待できる。

（1）大容量のパケット通信装置を構成する場合に、高速回線を収容した密度の高い回線インタフェースと低速回線を複数収容した密度の低い回線インタフェースが混在可能でかつ、回線インタフェース容量に比例した物理スイッチ間リンクを持つパケット通信装置を構成できる。

（2）複数の低速回線インタフェースと1つの高速回線インタフェース間でのデータ転送が可能なパケット通信装置を提供できる。具体的には入出力回線インタフェース間の1対複数接続もしくは複数対1接続が可能となり、トラヒックのブロッキングが発生しないパケット通信装置を構成できる。

【0031】

【発明の効果】高速回線を収容する回線インタフェースと低速回線を収容する回線インタフェースとが混在するパケット通信装置において、効率の良いパケットのスイッチングを行うことができる。

【図面の簡単な説明】

【図1】本発明のパケット通信装置の機能ブロックを示すブロック図である。

【図2】本発明のパケット通信装置の構成を示すブロック図である。

【図3】従来のパケット通信装置の構成を示すブロック図である。

【図4】従来のパケット通信装置の構成を示すブロック図である。

【図5】本発明のパケット通信装置の回線インタフェースとスケジューラの構成を示すブロック図である。

【図6】本発明のパケット通信装置の回線インタフェースカード（入力側）の構成を示すブロック図である。

【図7】本発明のパケット通信装置の回線インタフェースカード（出力側）の構成を示すブロック図である。

【図8】本発明のパケット通信装置の回線インタフェ

ースカード（入力側）の構成を示すブロック図である。

【図9】本発明のパケット通信装置の回線インタフェースカード（出力側）の構成を示すブロック図である。

【図10】本発明のパケット通信装置の回線インタフェースカード（出力側）の構成を示すブロック図である。

【図11】本発明のパケット通信装置の回線インタフェースカード（入力側）の構成を示すブロック図である。

【図12】本発明のパケット通信装置の回線インタフェースカード（出力側）の構成を示すブロック図である。

【図13】本発明のパケット通信装置の回線インタフェースカード（出力側）の構成を示すブロック図である。

【図14】本発明のパケット通信装置の回線インタフェースカード（入力側）の構成を示すブロック図である。

【図15】本発明のパケット通信装置の回線インタフェースカード（出力側）の構成を示すブロック図である。

【図16】本発明のパケット通信装置のスケジューリングで使用するデータフォーマット例である。

【図17】本発明のパケット通信装置のスケジューリングで使用するデータフォーマット例である。

【図18】本発明のパケット通信装置のスケジューリングで使用するデータフォーマット例である。

【図19】本発明のパケット通信装置のスケジューリングで使用するデータフォーマット例である。

【図20】本発明のパケット通信装置の回線インタフェースカードおよびクロスバスイッチの別構成を示すブロック図である。

【図21】本発明のパケット通信装置の回線インタフェースカードおよびクロスバスイッチの別構成を示すブロック図である。

【図22】本発明のパケット通信装置のクロスバスイッチの別構成を示すブロック図である。

【図23】本発明のパケット通信装置のクロスバスイッチの別構成を示すブロック図である。

【図24】本発明のパケット通信装置の回線インタフェースカードの一構成を示すブロック図である。

【図25】本発明のパケット通信装置の回線インタフェースカードの一構成を示すブロック図である。

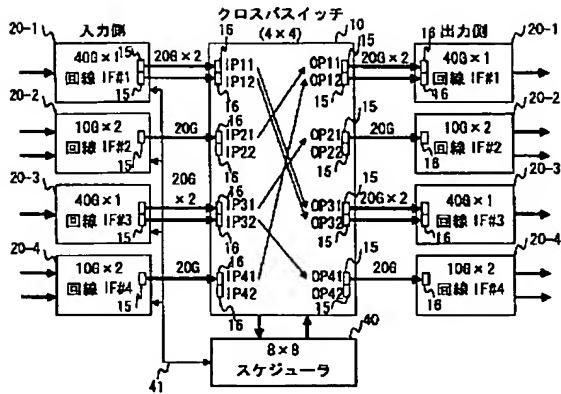
【図26】従来の大容量パケットスイッチのブロック図である。

【符号の説明】

10…クロスバスイッチ, 20…回線インタフェース, 21…入力処理部, 22…VOQ制御部, 23…VOQ, 31…VIQ制御部, 32…出力処理部, 33…VIQ, 40…スケジューラ, 50…制御部

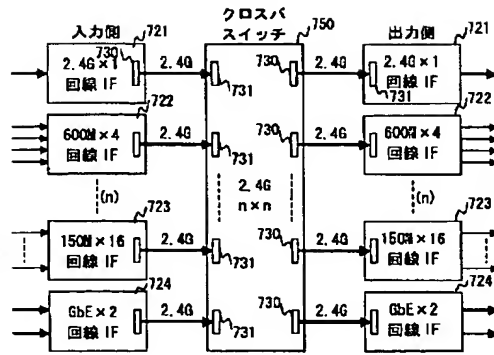
【図1】

図1



【図3】

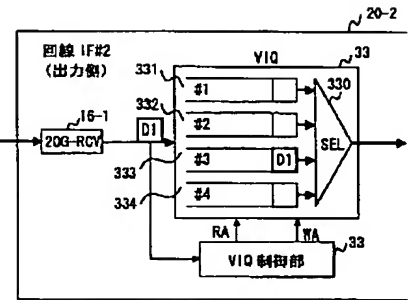
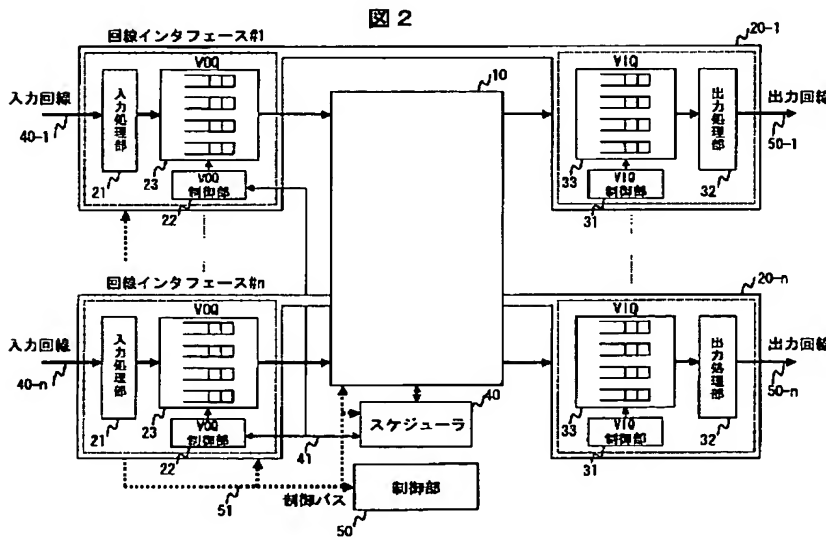
図3



【図12】

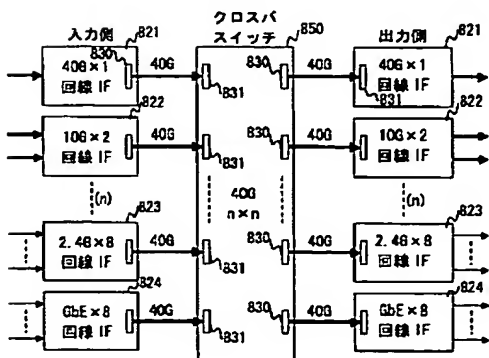
【図2】

図12



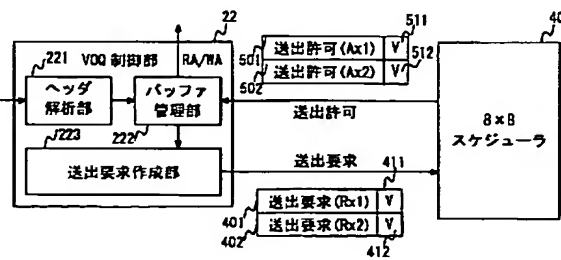
【図4】

図4



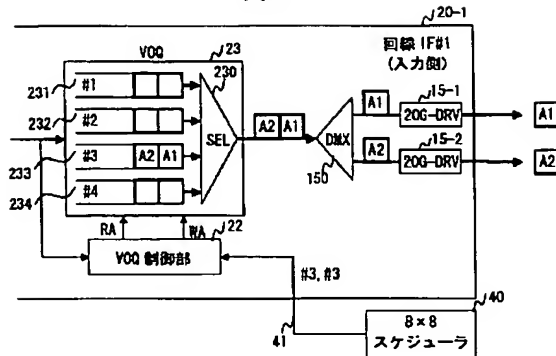
【図5】

図5



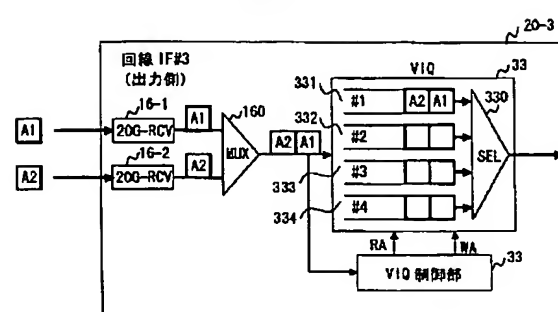
【図6】

図6



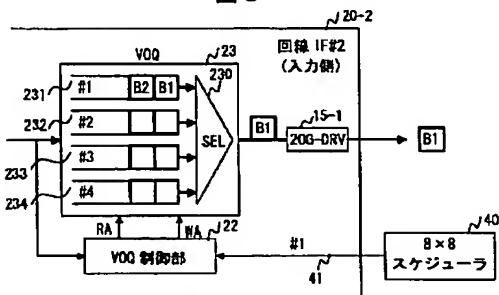
【図7】

図7



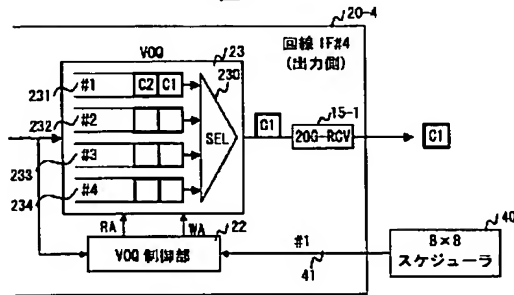
【図8】

図8



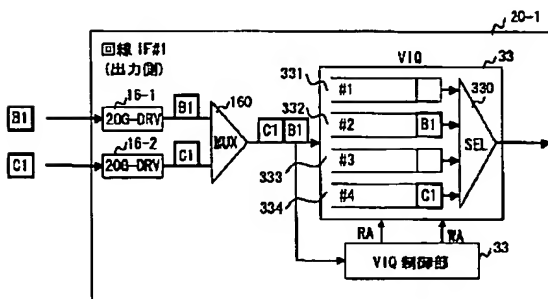
【図9】

図9



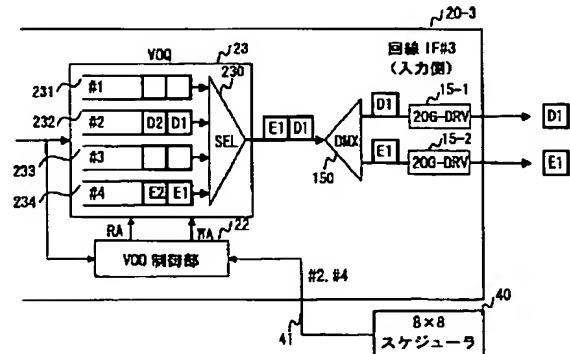
【図10】

図10



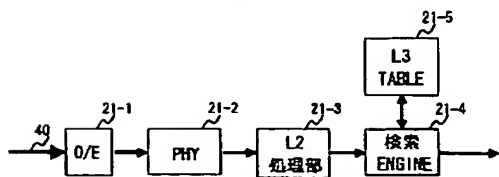
【図11】

図11



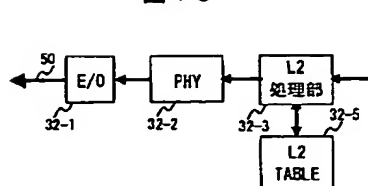
【図14】

図14



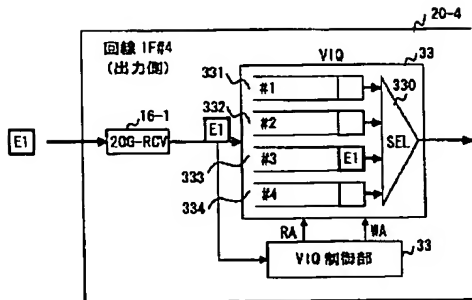
【図15】

図15



【図13】

図13



【図16】

図16

	出力#1	出力#2	出力#3	出力#4	
401 Rx1	1 (要求有)	0 (要求無)	0 (要求無)	1 (要求有)	1 (有効)
402 Rx2	1 (要求有)	0 (要求無)	0 (要求無)	0 (要求無)	1 (有効)

【図18】

図18

	出力#1	出力#2	出力#3	出力#4	
401 Rx1	1 (要求有)	0 (要求無)	1 (要求有)	0 (要求無)	1 (有効)
402 Rx2	d.c.	d.c.	d.c.	d.c.	0 (無効)

	出力#1	出力#2	出力#3	出力#4	
501 Ax1	0 (許可無)	1 (許可有)	0 (許可無)	0 (許可無)	1 (有効)
502 Ax2	0 (許可無)	0 (許可無)	0 (許可無)	1 (許可有)	1 (有効)

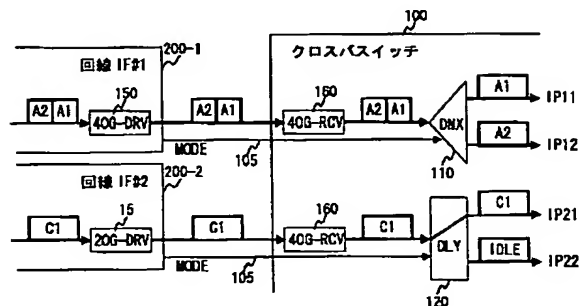
【図19】

図19

	出力#1	出力#2	出力#3	出力#4	
501 Ax1	1 (許可有)	0 (許可無)	0 (許可無)	0 (許可無)	1 (有効)
502 Ax2	d.c.	d.c.	d.c.	d.c.	0 (無効)

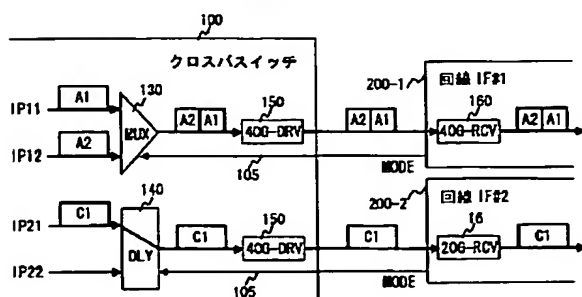
【図20】

図20



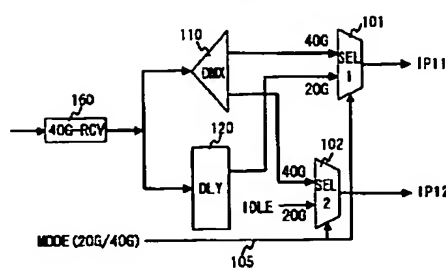
【図21】

図21



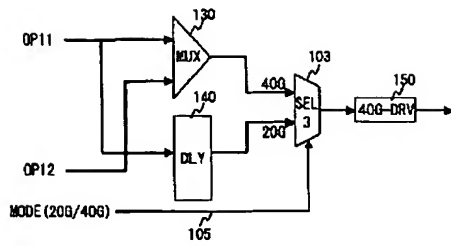
【図22】

図22



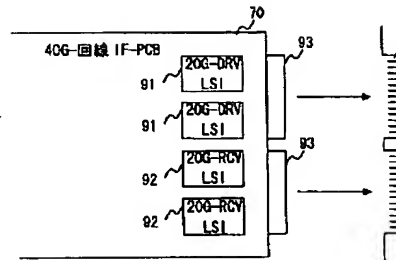
【図23】

図23



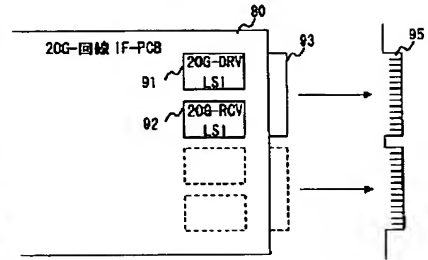
【図24】

図24



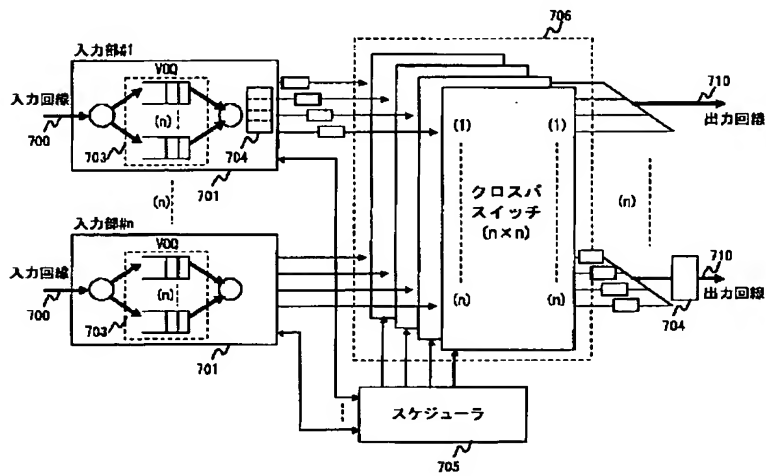
【図25】

図25



【図26】

図26



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.